

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

整理番号 74111415

発送番号 167798

発送日 平成14年 5月28日

1 / 2

拒絶理由通知書

特許出願の番号

特願2000-015215

起案日

平成14年 5月24日

特許庁審査官

菅野 智子 9545 4M00

特許出願人代理人

▲柳▼川 信 様

適用条文

第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

(引用文献等については引用文献等一覧参照)

・請求項1-6

理由1

引用文献等1, 2, 3

備考

下記引用例1の実施例(2)及び第2図を参照のこと。

引用例1のバリア層は本願の請求項に係る発明のシリサイドのパッドに相当する。

引用例1記載の発明については、ポリシリコンを絶縁膜と同じ高さでコンタクト孔内に埋め込んだことが記載されているが、引用例2, 3に記載のように絶縁膜から突出させてポリシリコンを形成し、これに対して高融点金属膜を形成してシリサイド化してコンタクト孔の径より大きいシリサイドのパッドを形成することは、接触面積の増大した接続プラグを形成して信頼性の向上させたコンタクト部を形成することを考えて当業者が容易に設計し得た範囲のものである。

引 用 文 献 等 一 覧

1.特開昭62-262443号公報

発送番号 167798
発送日 平成14年 5月28日 2 / 2

- 2.特開平09-232251号公報
3.特開平11-97528号公報

先行技術文献調査結果の記録

・調査した分野 I P C第7版

H 01 L 21/3205,
H 01 L 21/321,
H 01 L 21/768,
H 01 L 21/3213,
H 01 L 27/10

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

⑪ 公開特許公報 (A)

昭62-262443

⑤Int.Cl.
H 01 L 21/88識別記号
6708-5F

⑥公開 昭和62年(1987)11月14日

審査請求 未請求 発明の数 2 (全4頁)

⑦発明の名称 半導体装置およびその製造方法

⑧特 願 昭61-106102

⑨出 願 昭61(1986)5月9日

⑩発明者 今岡 和典 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑪発明者 斎藤 勉 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑫出願人 富士通株式会社 川崎市中原区上小田中1015番地
 ⑬代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

半導体装置およびその製造方法

にポリSi (3) を埋め込み、前記ポリSi (3) の上部にバリア層 (4) を形成する工程と、更にその上にAl配線 (5) を形成する工程とを有していることを特徴とする半導体装置の製造方法。

2. 特許請求の範囲

(1) Si基板 (1) 上の絶縁膜層 (2) の開口部に埋め込んだポリSi (3) と、

このポリSi (3) の上部に形成したバリア層 (4) と、

更にその上に形成したAl配線 (5) を有してなることを特徴とする半導体装置。

(2) 前記バリア層 (4) がチタン、タンクスチン若しくはモリブデンの窒化物となる

ことを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 前記バリア層 (4) がチタン、タンクスチン若しくはモリブデンのシリサイドとなる

ことを特徴とする特許請求の範囲第1項記載の半導体装置。

(4) Si基板 (1) 上の絶縁膜層 (2) の開口部

3. 発明の詳細な説明

(概要)

埋め込み配線層としてポリSiを有し、その上部にこれと接続するAl配線層を有する半導体装置において、両層間に高融点金属の窒化物またはシリサイドのバリア層を挟むことにより、Al配線層とポリSiとの反応による不具合を防止する。

(産業上の利用分野)

本発明は埋め込み配線層を有する半導体装置の配線構造とその製造方法に関する。

半導体装置は集積度がIC、LSIと上がるに従って配線層も多層化され、相互に交叉する場所も多くなって来ている。このとき下層配線は絶縁

層の中に埋め込んで表面を平坦にし、上部配線層に出来るだけ段差が生じないようにして断線防止に努めると同時に、上下配線層の間の接続は材質的に経年変化のない安定したものであることが必要である。

従来、下層の埋め込み配線層としてポリSiを使用し、上部配線層にAlを使用する方法が用いられているが、この構造のものはAlとポリSiの間に反応が起こり、これが障害の原因となる欠点を有している。そのため、これの効果的な且つ簡易な解決方法が要望されている。

(従来の技術)

第3図(a)～(c)は従来例における埋め込み配線形成工程の断面模式図である。

第3図(a)はポリSiの被膜を被着した状態を示す。

この図において、Si基板1の上に絶縁膜層例えばSiO₂膜層2を形成し、このSiO₂膜層2に開口を設けた後、表面全面にCVD法で厚さ約1.5 μm

のポリSi3を被着する。

第3図(b)は埋め込み配線層を形成した状態を示す。

ドライエッティングによりSiO₂膜2の表面が露出するまでエッティングして全体の表面を平坦に仕上げる。ドライエッティングは、CF₄+O₂のガスを用い、圧力0.5 Torr、パワー350 Wで行う。

第3図(c)は上部配線層を形成した状態を示す。

スパッタリング法によりAl配線5の被膜を約1μm被着し、後バターニングする。

この方法により形成したものは、下層の埋め込み配線層のポリSi3と上部のAl配線5が直接、接続されているので半導体装置を使用している間にAl配線5がポリSi3を吸い上げ、ポリSi3に空洞が生ずると云う欠点を有している。

又、Si基板1の表面にN型領域を形成し、埋め込み配線層のポリSi3もN型にした構造のものでは、上部のAl配線5がポリSi3の中に拡散して來るとポリSi3をP型に変えPN接合をポリSi3中に形成すると云う不都合がある。

(発明が解決しようとする問題点)

従来例において、埋め込み配線層のポリSiと上部配線層のAl配線が反応することにより起る不具合を防止するため、両層の間にバリア層を挟むものである。

(問題点を解決するための手段)

上記問題点の解決は、Si基板(1)上の絶縁膜層(2)の開口部に埋め込んだポリSi(3)と、このポリSi(3)の上部に形成したバリア層(4)と、更にその上に形成したAl配線(5)を有してなる本発明による半導体装置により達成される。

特に、前記バリア層(4)をチタン、タンゲステン若しくはモリブデンの窒化物とすることにより本発明は容易に実施することが出来る。

又、前記バリア層(4)をチタン、タンゲステン若しくはモリブデンのシリサイドとすることにより本発明は容易に実施し得る。

更に、Si基板(1)上の絶縁膜層(2)の開口部にポリSi(3)を埋め込み、前記ポリSi(3)の上部にバリア層(4)を形成する工程と、更にその上にAl配線(5)を形成する工程とを有している本発明による半導体装置の製造方法により達成することが出来る。

(作用)

埋め込み配線層としてのポリSiと、その上部のAl配線の間に高融点金属の窒化物またはシリサイドのバリア層を挟むことにより、Al配線とポリSiとの反応による不具合を防止する。

(実施例)

第1図(a)～(d)は本発明の実施例(1)における埋め込み配線形成工程の断面模式図である。

これら図において、第3図と同じ名称のものは同じ符号で示す。

第1図(a)はポリSiの被膜を被着した状態を示す。

この図において、Si基板1の上に絶縁膜層例えばSiO₂膜層2を形成し、このSiO₂膜層2に開口を設けた後、表面全面にCVD法で厚さ約1.5 μmのポリSi3を被着する。

第1図(b)は埋め込み配線層を形成した状態を示す。

ドライエッチングによりSiO₂膜2の表面が露出するまでエッチングして全体の表面を平坦に仕上げる。ドライエッチングは、CF₄+O₂のガスを用い、圧力0.5 Torr、パワー350 Wで行う。

これまで従来例と全く同様な方法で形成される。

第1図(c)は上部配線層としてAl配線を形成した状態を示す。

この図において、まずバリア層の窒化チタン(TiN)4を厚さ500~1000 Å、スパッタリング法で被着形成する。ついで、スパッタリング法によりAl配線5の被膜を約1 μm被着する。

第1図(d)はAl配線とバリア層をバターニングした状態を示す。

(MoSi₂)を形成する。

第2図(c)は金属Moをエッチング除去した状態を示す。

NH₄OH+H₂O₂の液でエッチングして金属Moを除去する。このときシリサイドのMoSi₂層4が若干周囲のSiO₂膜層2より浮き出ているが、その量は僅かであるため、後工程で形成するAl配線層の段差には殆ど影響しない。

第2図(d)はAl配線層をバターニングした状態を示す。

Alをスパッタリングで約1 μm被着して後バターニングし、Al配線5を形成する。

第1の実施例、第2の実施例とともに下層の埋め込み配線層ポリSi3と、上層のAl配線5との間に薄いバリア層4を設けてポリSiとAlが直接接觸するの避けているため、両者間の反応は生じない。

ここで、ポリSiは一般に伝導性を良くするためN型またはP型不純物をドープしたものが使用されるが、ノンドープのものであってもバリア層の効果は同じである。又Al配線は純Alであっても、

フォトレジストをマスクにしてAl配線5およびTiN層4を同時に、異方性ドライエッチングによりバターニングする。異方性ドライエッチングはガス:CCl₄、圧力:0.1 Torr、パワー:350 Wで行う。

第2図(a)~(d)は本発明の実施例(2)における埋め込み配線形成工程の断面模式図である。

第2図(a)は高融点金属の被膜を被着した状態を示す。

この図において、埋め込み配線層のポリSi3を形成するまでの工程は第1図(a)、(b)におけるものと全く同じである。埋め込み配線層ポリSi3を形成後、表面にスパッタリング法で高融点金属例えばモリブデン(Mo)6を500~1000 Å被着する。

第2図(b)は熱処理によりシリサイドを形成した状態を示す。

約800 °CでN₂中で熱処理すると、Mo6はポリSi3と接触する下側の部分より漸次シリサイド化しバリア層4となるモリブデンシリサイド

Al合金であってもよい。

第1の実施例ではバリア層として比抵抗の比較的小さいTiNとしたがこれをTi₂N、WN、W₂N、MoN、Mo₂N、Ta₂N、Ta₃N、ZrWとしても効果は同様である。

また、第2の実施例ではバリア層としてMoSi₂としたがこれをTiSi₂、WSi₂としても良好な結果を得ることが出来る。

[発明の効果]

埋め込み配線層としてのポリSiと、その上部のAl配線の間に高融点金属の窒化物またはシリサイドのバリア層を設けているので、Al配線とポリSiとの反応により生じていた、AlがポリSiを吸い上げ空洞が発生する、又はポリSi層中にP-N接合を形成する等の欠点をなくすることが出来る。

4. 図面の簡単な説明

第1図(a)~(d)は本発明の実施例(1)における埋め込み配線形成工程の断面模式図、

第2図 (a)～(d) は本発明の実施例(2)における埋め込み配線形成工程の断面模式図。

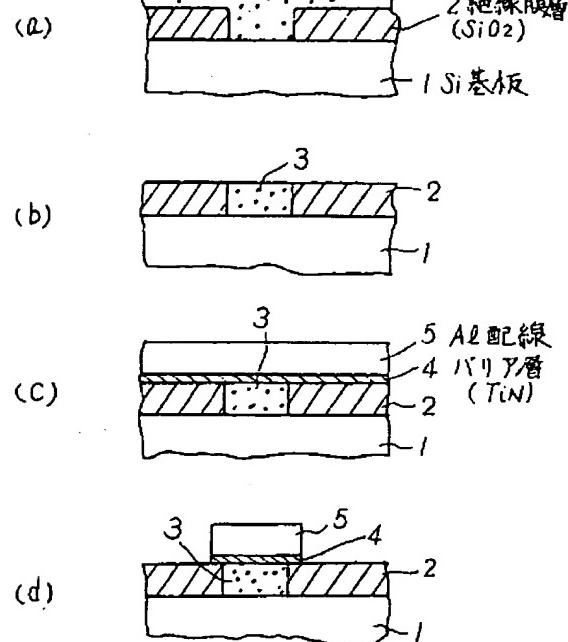
第3図 (a)～(c) は従来例における埋め込み配線形成工程の断面模式図である。

この図において、

- 1 は Si 基板、
- 2 は絶縁膜層 (SiO_2)、
- 3 はポリ Si、
- 4 はバリア層、
- 5 は Al 配線、
- 6 は高融点金属

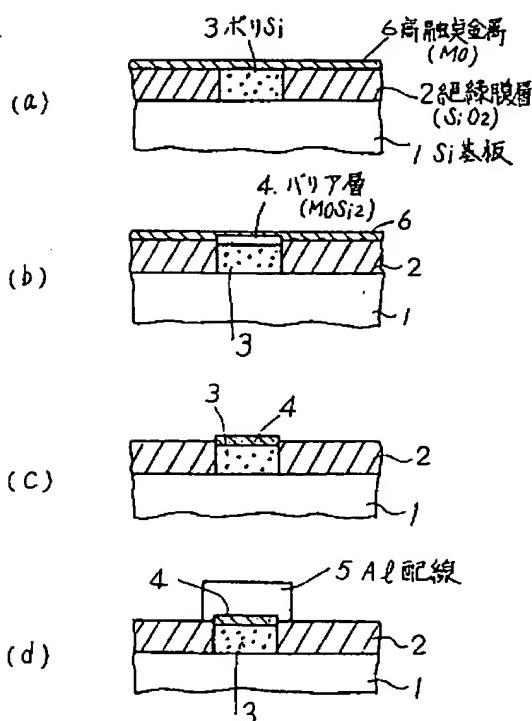
である。

代理人 弁理士 井桁貞一

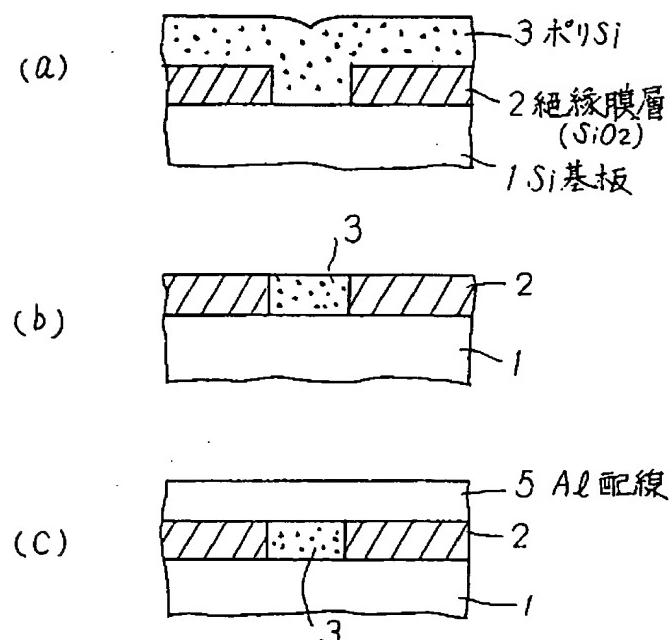


本発明の実施例(1)における埋め込み配線形成工程の断面模式図

第1図



本発明の実施例(2)における埋め込み配線形成工程の断面模式図
第2図



従来例における埋め込み配線形成工程の断面模式図

第3図